

## 明 細 書

### 半導体記憶装置及びそのリフレッシュ方法

#### 技術分野

- [0001] 本発明は、半導体記憶装置及びそのリフレッシュ方法に関し、さらに詳しくは、通常のアクセス動作中にリフレッシュ動作の挿入が可能なDRAM(Dynamic Random Accesses Memory)及びそのリフレッシュ方法の改良に関する。

#### 背景技術

- [0002] 最近、低消費電力用途ではSRAM(Static Random Accesses Memory)からDRAMへの置き換えが盛んになってきている。単位面積当たりの記憶容量がSRAMよりもDRAMの方がはるかに大きいためである。しかし、DRAMには、SRAMに不要なリフレッシュが必要である。そこで、リフレッシュコントローラのような外部回路でリフレッシュを行うのではなく、DRAMの内部回路で自動的にリフレッシュを行い、SRAMと全く同じ方法でDRAMを使用できるようにすることが望まれている。
- [0003] 下記の特許文献1には、通常の読出又は書込動作(以下「通常アクセス動作」又は単に「アクセス動作」という)とリフレッシュ動作とを1つのサイクル時間(以下「外部サイクル時間」という)内に挿入する方式を採用したDRAMが開示されている。この方式によれば、1つの外部サイクル時間内にアクセス用の時間及びリフレッシュ用の時間が確保されているため、通常のアクセスを待たせることなく、何時でもリフレッシュを行うことができる。アクセス用の時間及びリフレッシュ用の時間はほぼ同じであるから、以下これらを総称して「内部サイクル時間」という。
- [0004] このDRAMにとって外部サイクル時間は実際のサイクル時間であって、動作速度を決定するものである。したがって、このDRAMを高速化するためには外部サイクル時間を短縮しなければならない。しかしそのためには、内部サイクル時間を外部サイクル時間の半分以下にしなければならない。外部サイクル時間の短縮は容易ではない。そもそもこのDRAMは、何時でもリフレッシュを行うことができるように各外部サイクル時間内にリフレッシュ用の内部サイクル時間を確保したものであるから、実力の半分程度しか性能を発揮できておらず、高速化は困難である。

[0005] 特許文献1:特開2002-298574号公報

発明の開示

発明が解決しようとする課題

[0006] 本発明の主たる目的は、通常のアクセス中にリフレッシュの挿入が可能でかつ高速化が可能な半導体記憶装置及びそのリフレッシュ方法を提供することである。

課題を解決するための手段

[0007] 本発明による半導体記憶装置は、メモリセルアレイと、リフレッシュ手段と、アドレス選択手段と、ワード線選択手段と、選択停止手段とを備える。メモリセルアレイは、複数のワード線を含む。リフレッシュ手段は、リフレッシュを要求しかつリフレッシュアドレスを順次発生する。アドレス選択手段は、アクセスが要求されたときアクセスアドレスを選択し、リフレッシュが要求されたときリフレッシュアドレスを選択する。ワード線選択手段は、アドレス選択手段により選択されたアドレスに応答して前記ワード線を選択する。選択停止手段は、メモリセルアレイにおいてアクセス又はリフレッシュが行われている間、アドレス選択手段によるアドレスの選択を停止させる。

[0008] 本発明によるリフレッシュ方法は、リフレッシュを要求しかつリフレッシュアドレスを順次発生するステップと、アクセスが要求されたときアクセスアドレスを選択し、リフレッシュが要求されたときリフレッシュアドレスを選択するアドレス選択ステップと、選択されたアドレスに応答してワード線を選択するワード線選択ステップと、メモリセルアレイにおいてアクセス又はリフレッシュが行われている間、アクセスアドレス及びリフレッシュアドレスの選択を停止する選択停止ステップとを備える。

[0009] 本発明によれば、アクセスが要求されたときアクセスアドレスが選択され、リフレッシュが要求されたときリフレッシュアドレスが選択され、これにより選択されたアドレスに応答してワード線を選択される。そのため、通常のアクセス中にリフレッシュが挿入される。しかも、メモリセルアレイにおいてアクセス又はリフレッシュが行われている間、上記アドレスの選択は停止される。そのため、アクセスよりもリフレッシュの方が先に要求された場合はリフレッシュが優先して行われ、後から要求されたアクセスは先に行われたリフレッシュが終わるまで待たされる。逆に、リフレッシュよりもアクセスの方が先に要求された場合はアクセスが優先して行われ、後から要求されたリフレッシュは先

に行われたアクセスが終わるまで待たされる。その結果、内部サイクル時間を外部サイクル時間よりも長くし、これにより外部サイクル時間を短縮して動作速度を速くすることができる。

[0010] 好ましくは、メモリセルアレイは複数のブロックに分割される。上記半導体記憶装置はさらに、アドレス選択手段により選択されたアドレスに応答してブロックを選択するブロック選択手段を備える。選択停止手段は、ブロック選択手段により選択されたブロックにおいてアクセス又はリフレッシュが行われている間、アドレス選択手段によるアドレスの選択を停止させる。一方、上記リフレッシュ方法はさらに、選択されたアドレスに応答してブロックを選択するステップを備える。選択停止ステップは、選択されたブロックにおいてアクセス又はリフレッシュが行われている間、アクセスアドレス及びリフレッシュアドレスの選択を停止する。

[0011] さらに好ましくは、上記半導体記憶装置において、ワード線選択手段はリフレッシュアドレスに応答してブロックごとに全てのワード線を連続的に選択する。一方、上記リフレッシュ方法において、ワード線選択ステップはリフレッシュアドレスに応答してブロックごとに全てのワード線を連続的に選択する。

[0012] この場合、いわゆるバーストリフレッシュがブロック単位で行われるため、リフレッシュが遅れてもその遅れは当該ブロックの動作中に解消され、他のブロックの動作中まで持ち越されることはない。

#### 発明を実施するための最良の形態

[0013] 以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一又は相当部分には同一符号を付してその説明は繰り返さない。

[0014] 図1を参照して、本発明の実施の形態によるDRAM10は、 $64M (= 64 \times 10^{<SUP>3</SUP>} \times 20^{<SUP>3</SUP>})$ のメモリセルMCと、 $4K (= 4 \times 2^{<SUP>10</SUP>})$ のワード線WLとを含むメモリセルアレイ12を備える。メモリセルアレイ12は16個のアクセスアレイブロック(以下単に「ブロック」という)BKに分割される。各ブロックBKは、256本のワード線WLと、これらのワード線WLと交差する $16K (= 16 \times 2^{<SUP>10</SUP>})$ のビット線対BLと、これらのビット線対BLに接続された16Kのセンスアンプ(図示せず)とを含む。各メモリセルMCは対応するワード線WL及びビット線対BLに接続される。

- [0015] DRAM10はさらに、行デコーダ14と、行デコーダ14を制御する行デコーダ制御回路16とを備える。行デコーダ14は、行アドレス信号に応答してワード線WLを選択する。メモリセルアレイ12と同様に、行デコーダ14も16個のデコーダブロックDBに分割される。
- [0016] 図2に行デコーダ制御回路16及び1つのデコーダブロックDBの詳細を示す。図2を参照して、DRAM10はさらに、リフレッシュ回路17と、アドレス選択器18とを備える。リフレッシュ回路17は、リフレッシュイネーブル信号／REを発生し、かつリフレッシュ行アドレス信号RRAを順次発生する。アドレス選択器18は、外部から与えられたアクセス行アドレス信号ERA又はリフレッシュ行アドレス信号RRAを選択し、行アドレス信号RAとして行デコーダ制御回路16に与える。行デコーダ制御回路16は、与えられた行アドレス信号RAをデコードして行アドレスデコード信号ADU及びADLを発生し、行デコーダ14に与える。
- [0017] 図3にアドレス選択器18及びリフレッシュ回路17の詳細を示す。図3を参照して、リフレッシュ回路17は、リフレッシュタイマ30と、アドレスカウンタ32と、リフレッシュイネーブル回路34とを含む。リフレッシュタイマ30は、所定の周期でリフレッシュタイマ信号／RTを発生する。アドレスカウンタ32は、リフレッシュタイマ信号／RTに응答してリフレッシュ行アドレスをカウントアップし、リフレッシュ行アドレス信号RRAを発生する。リフレッシュイネーブル回路34は、チップイネーブル信号／CE及びリフレッシュタイマ信号／RTに응答してリフレッシュイネーブル信号／REを発生する。
- 図4を参照して、チップイネーブル信号／CEは外部サイクル時間 $T_{ec}$ ごとにL(論理ロウ)レベルに活性化される。チップイネーブル信号／CEを活性化することはアクセスコマンドを発行することに相当する。チップイネーブル信号／CEが活性化されると、外部から与えられたアクセス行アドレス信号ERAがアドレス選択器18に取り込まれ、これに応じてメモリセルMCからデータが読み出される。
- [0018] 読出又はリフレッシュ動作にかかる内部サイクル時間 $T_{ic}$ を外部サイクル時間 $T_{ec}$ の半分にすれば、読出動作の最中であっても確実にリフレッシュ動作を挿入することができる。メモリセルMCのリテンション時間を64msとすると、この間に全てのメモリセルMCをリフレッシュするためには、4Kのワード線WLを $16\mu s (=64ms \div 4K)$ ごと

に順次選択しなければならない。このように全てのワード線WLを満遍なく一定の周期で順次選択するリフレッシュを「分散リフレッシュ」という。

- [0019] 分散リフレッシュの場合、リフレッシュタイマ信号／RTは、チップイネーブル信号／CEと関係なく、16  $\mu$ sの周期でLレベルに活性化される。リフレッシュタイマ信号／RTの活性化後、チップイネーブル信号／CEが活性化されると、リフレッシュイネーブル信号／REがLレベルに活性化される。リフレッシュイネーブル信号／REを活性化することはリフレッシュコマンドを発行することに相当する。リフレッシュイネーブル信号／REの活性化後、所定期間が経過すると、リフレッシュタイマ30はリセットされ、リフレッシュタイマ信号／RTはH(論理ハイ)レベルに戻る。リフレッシュイネーブル信号／REが活性化されると、アドレスカウンタ32により発生されたリフレッシュ行アドレス信号RRAがアドレス選択器18に取り込まれ、これに応じてメモリセルMCがリフレッシュされる。
- [0020] このように内部サイクル時間Ticを外部サイクル時間Tecの半分にすれば、リフレッシュコマンドがアクセスコマンド(ここでは読出コマンド)と競合することはないため、何時でもリフレッシュを行うことができる。本実施の形態はさらに、内部サイクル時間Ticを外部サイクル時間Tecの半分よりも長くした結果、リフレッシュコマンドがアクセスコマンドと競合したとしても、それらを仲裁することにより通常アクセス動作の間にリフレッシュ動作を挿入できるようにしたものである。
- [0021] 再び図2を参照して、各デコーダブロックDBは、ブロックイネーブル回路20と、行デコーダ回路22と、ワード線ドライバ24と、ブロック制御回路26とを含む。上位ビットの行アドレスデコード信号ADUはブロックイネーブル回路20に与えられ、下位ビットの行アドレスデコード信号ADLは行デコーダ回路22に与えられる。各ブロックイネーブル回路20は、行アドレスデコード信号ADUに応答してブロックイネーブル信号BEを発生し、対応するデコーダブロックDBを選択する。各行デコーダ回路22は、行アドレスデコード信号ADLに応答して対応する256本のワード線WLの中から1本を選択する。ワード線ドライバ24はその選択されたワード線WLを駆動する。本例では、12ビットの行アドレス信号RAが与えられ、そのうち4ビットの信号がブロックBKの選択に使用され、残り8ビットの信号がワード線WLの選択に使用される。

- [0022] ブロック制御回路26は、ブロックイネーブル信号BEに応答して活性化され、対応するブロックBKからタイミングモニタ信号TMを受け取るとともに、アレイ制御信号ACを対応するブロックBKに与える。タイミングモニタ信号TMは対応するブロックBK内で発生される。アレイ制御信号ACは、センスアンプの活性化、リストア後のビット線プレチャージ等、対応するブロックBKを制御するための信号である。すなわち、各ブロック制御回路26は対応するブロックBKを一連の動作が自己完結するように制御する。
- [0023] 本実施の形態の特徴として、DARM12はさらに、ビジー信号BUSYを発生するための1本のビジー信号線28を備える。ビジー信号線28は16個のブロックBKに共通に設けられ、行デコーダ14内をビット線対BLと並行して走る。
- [0024] 図5にビジー信号／BUSYを発生するための回路を示す。図5を参照して、各ブロック制御回路26は、アレイアクセスタイミング制御回路36と、遅延回路38と、NチャンネルMOSTランジスタ40とを含む。アレイアクセスタイミング制御回路36は、ビット線イコライズ信号BLEQの他、様々なアレイ制御信号ACを対応するブロックBKに与える。遅延回路38は、ビット線イコライズ信号BLEQを所定時間だけ遅延させる。トランジスタ40は、遅延されたビット線イコライズ信号BLEQに응答してオンになり、ビジー信号線28の電圧を接地電圧GNDにプルダウンする。
- [0025] 行デコーダ制御回路16は、PチャンネルMOSTランジスタ42と、インバータ44とを含む。トランジスタ42はアレイイネーブル信号／AEに응答してオンになり、ビジー信号線28の電圧を電源電圧VDDにプルアップする。アレイイネーブル信号／AEは、チップイネーブル信号／CE又はリフレッシュイネーブル信号／REに응答して一時的に発生されるパルス信号である。
- [0026] いずれかのブロックBKで通常アクセス動作又はリフレッシュ動作が始まると、アレイイネーブル信号／AEのパルスがトランジスタ42のゲートに与えられる。これによりビジー信号線28がプルアップされ、ビジー信号BUSYはHレベルにプレチャージされる。したがって、ビジー信号／BUSYはインバータ44によりLレベルになり、いずれかのブロックBKが動作中であることを示し、これにより次の通常アクセス動作又はリフレッシュ動作の開始を禁止する。

- [0027] 選択されたブロックBKが一連の動作を終えると、ビット線イコライズ信号BLEQが出力されてから所定時間経過後にトランジスタ40がオンになる。これによりビジー信号線28がプルダウンされ、ビジー信号BUSYがLレベルに戻る。したがって、ビジー信号／BUSYはインバータ44によりHレベルに戻り、ブロックBKが動作を完了したことを示し、これにより次の動作の開始を解禁する。
- [0028] 以上のように、ビジー信号／BUSYはいずれのブロックBKも選択されていない間はHレベルに維持されるが、いずれかのブロックBKが選択されるとLレベルにされ、その選択されたブロックBKにおける一連の動作が終了するまでLレベルに維持される。ビジー信号／BUSYは行デコーダ制御回路16からアドレス選択器18に与えられる。すなわち、トランジスタ42はアクセスコマンド又はリフレッシュコマンドに応じてビジー信号線28を充電し、トランジスタ40は対応するブロックBKにおいてアクセス動作又はリフレッシュ動作が終了したときビジー信号線28を放電する。ビジー信号線28と、トランジスタ42と、16個のブロックBKに対応して設けられた16個のトランジスタ40とは、アクセスコマンド又はリフレッシュコマンドに応答してビジー信号／BUSYを活性化し、ブロックイネーブル回路20により選択されたブロックBKにおいて通常アクセス動作又はリフレッシュ動作が終了したときビジー信号／BUSYを不活性化する方法である。
- [0029] ビジー信号BUSYがLレベルの場合、いずれのブロックBKも選択されていないので、行デコーダ制御回路16は活性化され、行アドレスデコード信号ADU及びADLを行デコーダ14に与える。一旦いずれかのブロックBKが選択されると、ビジー信号BUSYはHレベルに活性化されるが、行アドレスデコード信号ADU及びADLはそのまま維持され、行アドレス信号RAが変化しても、前回のブロックBKの動作が終了してビジー信号BUSYがLレベルに戻るまで変化しない。
- [0030] 図6にアドレス選択器18の構成を示す。図6を参照して、アドレス選択器18は、NAND回路46〜49と、インバータ50、51と、NOR回路52と、D型ラッチ回路54とを含む。NAND回路46〜48及びD型ラッチ回路54はそれぞれN個ずつ設けられる。本例では行アドレス信号ERA, RRA, RAが12ビットであるからN=12である。12個のNAND回路46は、チップイネーブル信号／CEがLレベルのとき12ビットのアクセス

行アドレス信号ERAを入力する。12個のNAND回路47は、リフレッシュイネーブル信号／REがLレベルのとき12ビットのリフレッシュ行アドレス信号RRAを入力する。12個のNAND回路48は、その入力された12ビットのアクセス行アドレス信号ERA又はリフレッシュ行アドレス信号RRAを出力する。

[0031] ビジー信号／BUSYがHレベルのとき、NAND回路49はインバータとして機能する。したがって、チップイネーブル信号／CE又はリフレッシュイネーブル信号／REがLレベルになると、NAND回路49から12個のラッチ回路54に与えられるラッチ信号LTがHレベルになる。12個のラッチ回路54は、ラッチ信号LTがHレベルになると12個のNAND回路48から出力された12ビットのアクセス行アドレス信号ERA又はリフレッシュ行アドレス信号RRAを取り込んでラッチし、12ビットの行アドレス信号RAとして出力する。要するに、ビジー信号／BUSYがHレベルの場合、アドレス選択器18は、チップイネーブル信号／CEがLレベルのときアクセス行アドレス信号ERAを選択し、リフレッシュイネーブル信号／REがLレベルのときリフレッシュ行アドレス信号RRAを選択する。

[0032] 一方、ビジー信号／BUSYがLレベルのとき、ラッチ信号LTはHレベルに固定される。したがって、この間にチップイネーブル信号／CE又はリフレッシュイネーブル信号／REがLレベルになり、次の新しいアクセス行アドレス信号ERA又はリフレッシュ行アドレス信号RRAが入力されたとしても、ラッチ回路54は前の古いアクセス行アドレス信号ERA又はリフレッシュ行アドレス信号RRAをラッチし続け、その次の新しいアクセス行アドレス信号ERA又はリフレッシュ行アドレス信号RRAを取り込まない。要するに、ビジー信号／BUSYがLレベルの場合、アドレス選択器18は、チップイネーブル信号／CE又はリフレッシュイネーブル信号／REがLレベルになっても、次に与えられるアクセス行アドレス信号ERA又はリフレッシュ行アドレス信号RRAを選択することなく無視し、1つの前に選択したアクセス行アドレス信号ERA又はリフレッシュ行アドレス信号RRAを出力し続ける。

[0033] 図7を参照して、チップイネーブル信号CEが活性化されると、選択されたブロックBKでアクセス動作が始まり、ビジー信号／BUSYがLレベルに活性化される。アクセス動作が終わると、ビジー信号／BUSYはHレベルに戻る。一方、リフレッシュイネーブル



ル信号REが活性化されると、選択されたブロックBKでリフレッシュ動作が始まり、ビジー信号／BUSYがLレベルに活性化される。リフレッシュ動作が終わると、ビジー信号／BUSYはHレベルに戻る。

- [0034] 以上のように、DRAM10は、ビジー信号／BUSYがHレベルに戻ったとき、アクセスコマンド及びリフレッシュコマンドのうち先に来たコマンドに応じて、開始されるべき次の動作を決定する。これにより外部から与えられるアクセス行アドレス信号ERAと内部的に発生されるリフレッシュ行アドレス信号RRAとは区別されることなく、前回のブロックBKの動作が終了するまで新しい行アドレス信号RAに応じた動作は待たされる。すなわち、DRAM10は先に来たコマンドを優先し、後からの動作は直前の動作が終了するまで待たせる。
- [0035] したがって、内部サイクル時間Ticを外部サイクル時間Tecの半分よりも長くして分散リフレッシュを行うと、リフレッシュコマンドがアクセスコマンドと競合し、必然的にリフレッシュは待たされる傾向にある。そのため、本実施の形態は好ましくは、ブロックベースバーストリフレッシュを行う。これは、ブロックBKごとに256本全てのワード線WLを最短時間で一気に連続してバーストリフレッシュするものである。
- [0036] 各メモリセルMCを64msごとにリフレッシュするためには、16個のブロックBKの各々にバーストリフレッシュ開始信号を4ms( $=64\text{ms} \div 16$ )ごとに与え、これに応じて各ブロックBK内の256本のワード線WLを連続してバーストリフレッシュする。したがって、各ブロックBKでは4msの期間内に256回のリフレッシュを行う。実際に1回のリフレッシュにかかる時間を50nsとしても、バーストリフレッシュにかかる時間は $12.8 \mu\text{s} (=256 \times 50\text{ns})$ と4msに比べて非常に短い。そのため、バーストリフレッシュは4msの期間のうちの最初の短時間で終わってしまう。バーストリフレッシュの最中に通常のアクセスコマンドが来るとリフレッシュが待たされるが、ブロックベースバーストリフレッシュによれば、リフレッシュの遅れは当該ブロックBKの動作中に解消され、他のブロックBKまで持ち越されない。以下、これを詳述する。
- [0037] 図8にアクセスコマンドA1, A2が最小外部サイクル時間Tecごとに連続して来る場合におけるバーストリフレッシュ動作を示す。(A)は先行技術と同様に内部サイクル時間Ticが外部サイクル時間Tecの半分の場合であり、(B)は内部サイクル時間Tic

が外部サイクル時間 $T_{ec}$ の半分よりも長い場合である。ここでは、アクセスコマンドA1の直前にリフレッシュコマンドR1が入り、リフレッシュ動作R1(対応するコマンドと同じ符号を用いる)が始まってしまったため、通常アクセス動作A1にとってサイクル時間及びアクセス時間ともに最悪になる場合を想定する。

[0038] 図8(A)を参照して、アクセスコマンドA1の直前にリフレッシュコマンドR1が来ると、先にリフレッシュ動作R1が始まる。リフレッシュ動作R1は内部サイクル時間 $T_{ic}$ の経過後に終わる。ここではバーストリフレッシュであるから前回の通常アクセス動作又はリフレッシュ動作が終わるたびにリフレッシュコマンドが発行される。したがって、リフレッシュ動作R1が終わると再びリフレッシュコマンドR2が来るが、このときそれ以前の時刻 $T_0$ でアクセスコマンドA1が来ているので、このアクセスコマンドA1に応じて通常アクセス動作A1が始まる。通常アクセス動作A1も内部サイクル時間 $T_{ic}$ の経過後に終了する。この動作が繰り返され、その結果、バーストリフレッシュにおける個々のリフレッシュ動作R1, R2と各通常アクセス動作A1, A2とは交互に行われる。この動作を具体的に説明すると、次の通りである。

[0039] アドレス選択器18は、Lレベルのリフレッシュイネーブル信号/REに応答してリフレッシュ行アドレス信号RRAをラッチし、これを行デコーダ制御回路16に与える。行デコーダ制御回路16はビジー信号/BUSYをLレベルに活性化するとともに、リフレッシュ行アドレス信号RRAに応答して行アドレスデコード信号ADU及びADLを行デコーダ14に与える。行アドレスデコード信号ADUに応答して1個のブロックBKが選択され、そのブロックBK内で行アドレスデコード信号ADLに応答して1本のワード線WLが活性化され、そのワード線WLに接続された全てのメモリセルMCがリフレッシュされる。

[0040] このリフレッシュ動作R1の最中にチップイネーブル信号/CEがLレベルに活性化され、アクセス行アドレス信号ERAがアドレス選択器18に与えられるが、ビジー信号/BUSYが活性化されているため、アドレス選択器18はそのアクセス行アドレス信号ERAをラッチせず、1つ前にラッチしたリフレッシュ行アドレス信号RRAをラッチし続ける。

[0041] 上記選択されたブロックBK内でリフレッシュ動作R1が終了すると、ビジー信号/B

USYはHレベルに不活性化される。そのため、アドレス選択器18は上記既に与えられているアクセス行アドレス信号ERAをラッチし、これを行デコーダ制御回路16に与える。その結果、選択されたブロックBK内で通常アクセス動作A1が行われる。

- [0042] (A)の場合、内部サイクル時間Ticが外部サイクル時間Tecの半分であるため、各通常アクセス動作は外部サイクル時間Tec内で完了する。図中の矢印はアクセスコマンドの入力から通常アクセス動作の終わりを示すが、この矢印で示されるアクセス時間もSRAMと同様に外部サイクル時間Tec以内である。
- [0043] 一方、(B)の場合、内部サイクル時間Ticは(A)の場合と同じであるが、外部サイクル時間Tecが(A)の場合よりも短い。図8(B)を参照して、アクセスコマンドA1が来る直前にリフレッシュコマンドR1が来ると、先にリフレッシュ動作R1が始まる。バーストリフレッシュであるからリフレッシュ動作R1が終わると直ちに次のリフレッシュコマンドR2が来るが、このときそれ以前の時刻T0でアクセスコマンドA1が来ているので、このアクセスコマンドA1に応じて通常アクセス動作A1が始まる。通常アクセス動作A1が終わると再びリフレッシュコマンドR3が来るが、このときもそれ以前の時刻T1でアクセスコマンドA2が来ているので、このアクセスコマンドA2に応じて通常アクセス動作A2が始まる。通常アクセス動作A2が終わると再びリフレッシュコマンドR4が来るが、このときそれ以前にアクセスコマンドは来ていないので、このリフレッシュコマンドR4に応じてリフレッシュ動作R4が始まる。
- [0044] (B)の場合、リフレッシュコマンドはスキップされることがあるが、メモリセルMCはリフレッシュされながら外部サイクル時間Tecごとにアクセスされる。
- [0045] そこでまず、内部サイクル時間Ticを外部サイクル時間Tecの半分よりも長くする場合に、どこまで長くできるかについて図9を参照して説明する。
- [0046] 内部サイクル時間Ticが外部サイクル時間Tecの半分よりも長くなるほど、リフレッシュ動作が入る頻度が少なくなる。したがって、何回かの通常アクセス動作後に必ず1回はリフレッシュ動作が入る条件が必要となる。最初のリフレッシュ動作による内部サイクル時間( $1 \times Tic$ )後にN回の通常アクセス動作が入るが、このN回の通常アクセス動作にかかる時間( $N \times Tic$ )がN回の外部サイクル時間( $N \times Tec$ )以内であれば、N+1回目の通常アクセスコマンド以前にリフレッシュコマンドが来てリフレッシュ動

作が入る。したがって、リフレッシュ動作が入る条件は次の式(1)で与えられる。

$$Tic + N \times Tic \leq N \times Tec \quad \cdots (1)$$

[0047] 式(1)を変形すると、次の式(2)が得られる。

$$Tic \leq N / (N + 1) \times Tec \quad \cdots (2)$$

[0048] 式(2)は、内部サイクル時間Ticが外部サイクル時間Tecの $N / (N + 1)$ 倍以内であれば、 $N + 1$ 回目にはリフレッシュ動作が入ることを示している。たとえば図9(A)に示すように $N = 1$ の場合は、内部サイクル時間Ticが外部サイクル時間Tecの半分よりも短ければ1回おきにリフレッシュ動作が入る。

[0049] 式(2)から明らかなように、 $N$ が大きくなれば、内部サイクル時間Ticは外部サイクル時間Tecに近くなる。すなわち、リフレッシュ動作が入る頻度がかなり少なくなっても問題さえなければ、内部サイクル時間Ticは外部サイクル時間Tecにかなり近くてもよい。

[0050] 図9(A)～(E)に示すように $N$ が有限回の場合、リフレッシュコマンドは $N$ 回スキップされる。一方、図9(F)に示すように $N$ が無限回になると、内部サイクル時間Ticは外部サイクル時間Tecと同じなるが、リフレッシュコマンドは無限回スキップされ、リフレッシュ動作は全く入らなくなる。最初にアクセスコマンドが来る直前にリフレッシュコマンドが来てリフレッシュ動作が入ったとしても、それ以降は必ず以前のアクセス動作が終わる1サイクル前にアクセスコマンドが来ているため、全くリフレッシュ動作が入らない。 $N$ が無限大でなく、内部サイクル時間Ticが外部サイクル時間Tecよりも僅かでも短ければ、必ずリフレッシュ動作は入る。

[0051] そこで次に、リフレッシュ動作が必ず入るための $N$ の上限値を求める。ブロックBK当たりのワード線の本数を $N_{wlb}$ とすれば、これに $N \times Tec$ を掛けた値が、リテンション時間 $Tr$ をブロック数 $N_b$ で割った値よりも短ければよい。したがって、次の式(3)が得られる。

$$N \times Tec \times N_{wlb} \leq Tr / N_b \quad \cdots (3)$$

[0052]  $N_{wlb} \times N_b$ はワード線の総数 $N_{twl}$ であるから、これを用いて式(3)を変形すると、次の式(4)が得られる。

$$N \leq Tr / (Tec \times N_{twl}) \quad \cdots (4)$$

- [0053] リテンション時間 $T_r$ を典型的な64msとし、ワード線の総数 $N_{\text{twl}}$ を本実施の形態の通り4Kとし、さらに外部サイクル時間を50nsとすると、 $N$ の上限値は約312とかなり大きい数になる。
- [0054]  $N=312$ を式(2)に代入すると、内部サイクル時間 $T_{ic}$ は外部サイクル時間 $T_{ec}$ の0.997倍( $=312/313$ )、つまり99.7%の49.85 $\mu$ sでも、312回ごとに必ず1回はリフレッシュ動作が入り、全ワード線のリフレッシュをミスすることなく、外部サイクル時間 $T_{ec}$ ごとに連続して通常アクセス動作が入る。
- [0055] しかし、 $N$ はそんな大きい値でなくても、内部サイクル時間 $T_{ic}$ は外部サイクル時間 $T_{ec}$ にかなり近くなる。たとえば図9(D)に示すように $N=4$ の場合、つまり通常アクセス動作4回に1回の割合でリフレッシュ動作が入れば、内部サイクル時間 $T_{ic}$ は外部サイクル時間 $T_{ec}$ の $4/5$ ( $=80\%$ )まで長くすることができる。リフレッシュ動作が入る頻度の観点から言えば、外部サイクル時間を50nsとしても、256回のバーストリフレッシュにかかる時間は64 $\mu$ s( $=5 \times 50\text{ns} \times 256$ )である。この場合、256回目のワード線のリフレッシュが最も遅れるが、その遅れは51.2 $\mu$ s( $=64\mu\text{s} - (50\text{ns} \times 256)$ )でしかない。これは64msのリテンション時間の0.08%でしかなく、全く無視することができる。
- [0056] また、ブロックベースバーストリフレッシュであるから、リフレッシュの遅れは当該ブロックBKの動作中に解消され、他のブロックBKまで持ち越され、累積されることはない。そのため、51.2 $\mu$ sが全ワード線の中で最大の遅れである。したがって、本実施の形態によれば、リフレッシュ遅れによる不具合はほとんどなく、内部サイクル時間 $T_{ic}$ を外部サイクル時間 $T_{ec}$ 近くまで長くすることができる。逆に言えば、内部サイクル時間 $T_{ic}$ で動作可能なDRAM10の真の実力近くまで高速化することができる。よって、リフレッシュを内部で行う、SRAMコンパチブルなDRAMを提供することができ、従来の半分に近い外部サイクル時間 $T_{ec}$ を実現することができる。
- [0057] このように内部サイクル時間 $T_{ic}$ が外部サイクル時間 $T_{ec}$ の半分より長くても、「サイクル時間」の観点からは、 $N$ が有限でさえあれば、通常アクセス動作とリフレッシュ動作とを外部サイクル時間 $T_{ec}$ 内で行うことができ、問題はないが、通常アクセス動作にかかる「アクセス時間」の観点からは問題が残る。すなわち、SRAMでは一般にサイ

クル時間とアクセス時間とが同じであるから、このDRAM10でも読出データは外部サイクル時間 $T_{ec}$ 内に有効になるのが望ましい。しかし、図8(B)に示したように、最初の読出データ(アクセス時間を示す矢印の先端)は外部サイクル時間 $T_{ec}$ 内に有効になっておらず、アクセス時間 $T_{ac}$ はSRAMの一般仕様を満たさない。同図から明らかのように、アクセス時間 $T_{ac}$ が仕様を満たすためには、リフレッシュ動作のための内部サイクル時間 $T_{ic}$ とアクセス時間 $T_{ac}$ との和が外部サイクル時間 $T_{ec}$ 以内でなければならない。上記実施の形態ではリフレッシュ動作のための内部サイクル時間 $T_{ic}$ と通常アクセス動作のための内部サイクル時間 $T_{ic}$ とは同じであるが、通常アクセス動作ではDRAMによっては最初のデータのアクセス時間は不変であるが、ページ、バースト読出など、何らかの理由でプレチャージがすぐに開始できないため、サイクル時間が長くなる場合もある。このような場合であれば、通常アクセス動作のための内部サイクル時間 $T_{ic}$ が長くても、外部サイクル時間 $T_{ec}$ 及びアクセス時間を延長する必要はない。

[0058] また、図8(B)に示したように、アクセス時間 $T_{ac}$ はリフレッシュ動作の直後と通常アクセス動作が続いた後とで異なるため、ユーザとしてはこのままでは使用し難い。そこで、図10に示すように、リフレッシュ動作のための内部サイクル時間 $T_{ic}$ と通常アクセス動作のための内部サイクル時間 $T_{ic}$ との和が外部からの見かけ上のアクセス時間となるように意図的にアクセスレイテンシ $T_{lt}$ を仕様上に設け、連続した通常アクセス動作時でもデータが有効になる時期を遅らせればよい。当然アクセス時間 $T_{ac}$ は長くなるが、サイクル時間は短くすることができる。この動作は、Digest of Technical Papers, ISSC91, p.50, Feb. 1991 (Pipeline Burst SRAM)に開示されたパイプラインバーストSRAMと同じような動作となる。

[0059] 図10は $N=5$ の場合の動作で、(A)は通常アクセスコマンドだけが来る場合の動作を示し、アクセス時間 $T_{ac}$ は仕様上で意図的に長く記述され、外部サイクル時間 $T_{ec}$ よりも長い。(B)は外部サイクル時間 $T_{ec}$ ごとに通常アクセスコマンドが来る場合にバーストリフレッシュが始まったときの動作を示す。(C)はリフレッシュコマンドだけが来る場合の動作を示す。(A)及び(B)の場合ともに、図9(E)に示した同じ $N=5$ の場合と異なり、常にアクセスコマンドの入力から同じアクセス時間 $T_{ac}$ となる。アクセス時間 $T$

acが外部サイクル時間Tecよりも長くても、データは外部サイクル時間Tecと同じ周期で連続して有効になる。このように連続してデータをアクセスすると、バンド幅を広くすることができる。

- [0060] 以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態に限定されることなく、その趣旨を逸脱しない範囲内で上述した実施の形態を適宜変形して実施することが可能である。

#### 産業上の利用可能性

- [0061] 本発明による半導体記憶装置は、特に低消費電力用途でSRAMの代わりに用いられるDRAMに利用可能である。

#### 図面の簡単な説明

- [0062] [図1]本発明の実施の形態によるDRAMの全体構成を示す機能ブロック図である。  
[図2]図1に示したデコーダブロック及び行デコーダ制御回路の構成を示す機能ブロック図である。  
[図3]図2中のアドレス選択器及びリフレッシュ回路の構成を示す機能ブロック図である。  
[図4]図1〜図3に示したDRAMによる読出及びリフレッシュ動作を示すタイミング図である。  
[図5]図2中のブロック制御回路の構成を示す機能ブロック図である。  
[図6]図2及び図3中のアドレス選択器の構成を示す機能ブロック図である。  
[図7]図6に示したアドレス選択器の動作を示すタイミング図である。  
[図8]図1〜図3に示したDRAMによるバーストリフレッシュ動作を示すタイミング図である。  
[図9]図8と同様にバーストリフレッシュ動作を示し、特にリフレッシュ動作後に入る通常アクセス動作の回数をNとした場合、Nの様々な値における動作を示すタイミング図である。  
[図10]図9(E)に示したN=5の場合の動作を示すタイミング図であり、(A)はアクセス動作のみ、(B)はリフレッシュ及びアクセスの混合動作、(C)はリフレッシュ動作の

みを示す。

## 符号の説明

- [0063] 12   メモリセルアレイ  
14   行デコーダ  
16   行デコーダ制御回路  
17   リフレッシュ回路  
18   アドレス選択器  
20   ブロックイネーブル回路  
22   行デコーダ回路  
24   ワード線ドライバ  
26   ブロック制御回路  
28   ビジー信号線  
30   リフレッシュタイマ  
32   アドレスカウンタ  
34   リフレッシュイネーブル回路  
40, 42   トランジスタ  
46〜49   NANAD回路  
54   ラッチ回路  
／AE   アレイイネーブル信号  
BUSY, ／BUSY   ビジー信号  
CE, ／CE   チップイネーブル信号  
RE, ／RE   リフレッシュイネーブル信号  
／RT   リフレッシュタイマ信号  
A1, A2   アクセスコマンド(通常アクセス動作)  
BE   ブロックイネーブル信号  
BK   アクセスアレイブロック  
BL   ビット線対  
BLEQ   ビット線イコライズ信号



DB デコーダブロック

ERA アクセス行アドレス信号

LT ラッチ信号

MC メモリセル

R1, R2, R3, R4 リフレッシュコマンド(リフレッシュ動作)

RRA リフレッシュ行アドレス信号

Tac アクセス時間

Tec 外部サイクル時間

Tic 内部サイクル時間

WL ワード線

### 請求の範囲

- [1] 複数のワード線を含むメモリセルアレイと、  
リフレッシュを要求しかつリフレッシュアドレスを順次発生するリフレッシュ手段と、  
アクセスが要求されたときアクセスアドレスを選択し、前記リフレッシュが要求されたときリフレッシュアドレスを選択するアドレス選択手段と、  
前記アドレス選択手段により選択されたアドレスに応答して前記ワード線を選択するワード線選択手段と、  
前記メモリセルアレイにおいて前記アクセス又は前記リフレッシュが行われている間、前記アドレス選択手段によるアドレスの選択を停止させる選択停止手段とを備えたことを特徴とする半導体記憶装置。
- [2] 請求項1に記載の半導体記憶装置であって、  
前記メモリセルアレイは複数のブロックに分割され、  
前記半導体記憶装置はさらに、  
前記アドレス選択手段により選択されたアドレスに応答して前記ブロックを選択するブロック選択手段を備え、  
前記選択停止手段は、前記ブロック選択手段により選択されたブロックにおいて前記アクセス又は前記リフレッシュが行われている間、前記アドレス選択手段によるアドレスの選択を停止させることを特徴とする半導体記憶装置。
- [3] 請求項2に記載の半導体記憶装置であって、  
前記ワード線選択手段は前記リフレッシュアドレスに応答して前記ブロックごとに全てのワード線を連続的に選択することを特徴とする半導体記憶装置。
- [4] 請求項2又は請求項3に記載の半導体記憶装置であって、  
前記選択停止手段は、前記アクセス又は前記リフレッシュが要求されたときビジー信号を活性化し、前記ブロック選択手段により選択されたブロックにおいて前記アクセス又は前記リフレッシュが終了したとき前記ビジー信号を不活性化するビジー信号発生手段を含み、  
前記アドレス選択手段は、  
前記アクセスが要求されたとき前記アクセスアドレスを入力し、前記リフレッシュが要

求されたとき前記リフレッシュアドレスを入力する入力手段と、

前記ビジー信号が不活性化されたとき前記入力されたアドレスを取り込んでラッチするラッチ手段とを含むことを特徴とする半導体記憶装置。

[5] 請求項4に記載の半導体記憶装置であって、

前記ビジー信号発生手段は、

前記複数のブロックに共通に設けられたビジー信号線と、

前記アクセス又は前記リフレッシュが要求されたとき前記ビジー信号線を充電する充電手段と、

前記複数のブロックに対応して設けられ、各々が対応するブロックにおいて前記アクセス又は前記リフレッシュが終了したとき前記ビジー信号線を放電する複数の放電手段とを含むことを特徴とする半導体記憶装置。

[6] 複数のワード線を含むメモリセルアレイを備えた半導体記憶装置のリフレッシュ方法であって、

リフレッシュを要求しかつリフレッシュアドレスを順次発生するステップと、

アクセスが要求されたときアクセスアドレスを選択し、前記リフレッシュが要求されたときリフレッシュアドレスを選択するアドレス選択ステップと、

前記選択されたアドレスに応答して前記ワード線を選択するワード線選択ステップと

、

前記メモリセルアレイにおいて前記アクセス又は前記リフレッシュが行われている間、前記アクセスアドレス及び前記リフレッシュアドレスの選択を停止する選択停止ステップとを備えたことを特徴とする半導体記憶装置のリフレッシュ方法。

[7] 請求項6に記載の半導体記憶装置のリフレッシュ方法であって、

前記メモリセルアレイは複数のブロックに分割され、

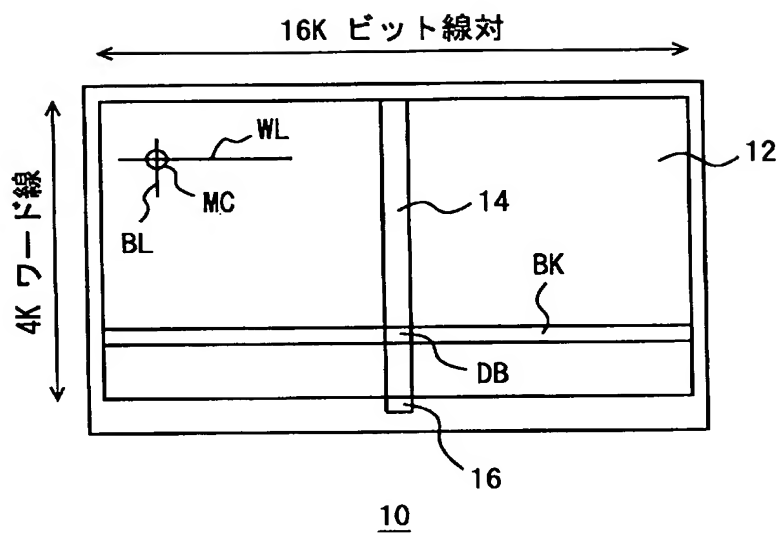
前記リフレッシュ方法はさらに、

前記選択されたアドレスに応答して前記ブロックを選択するステップを備え、

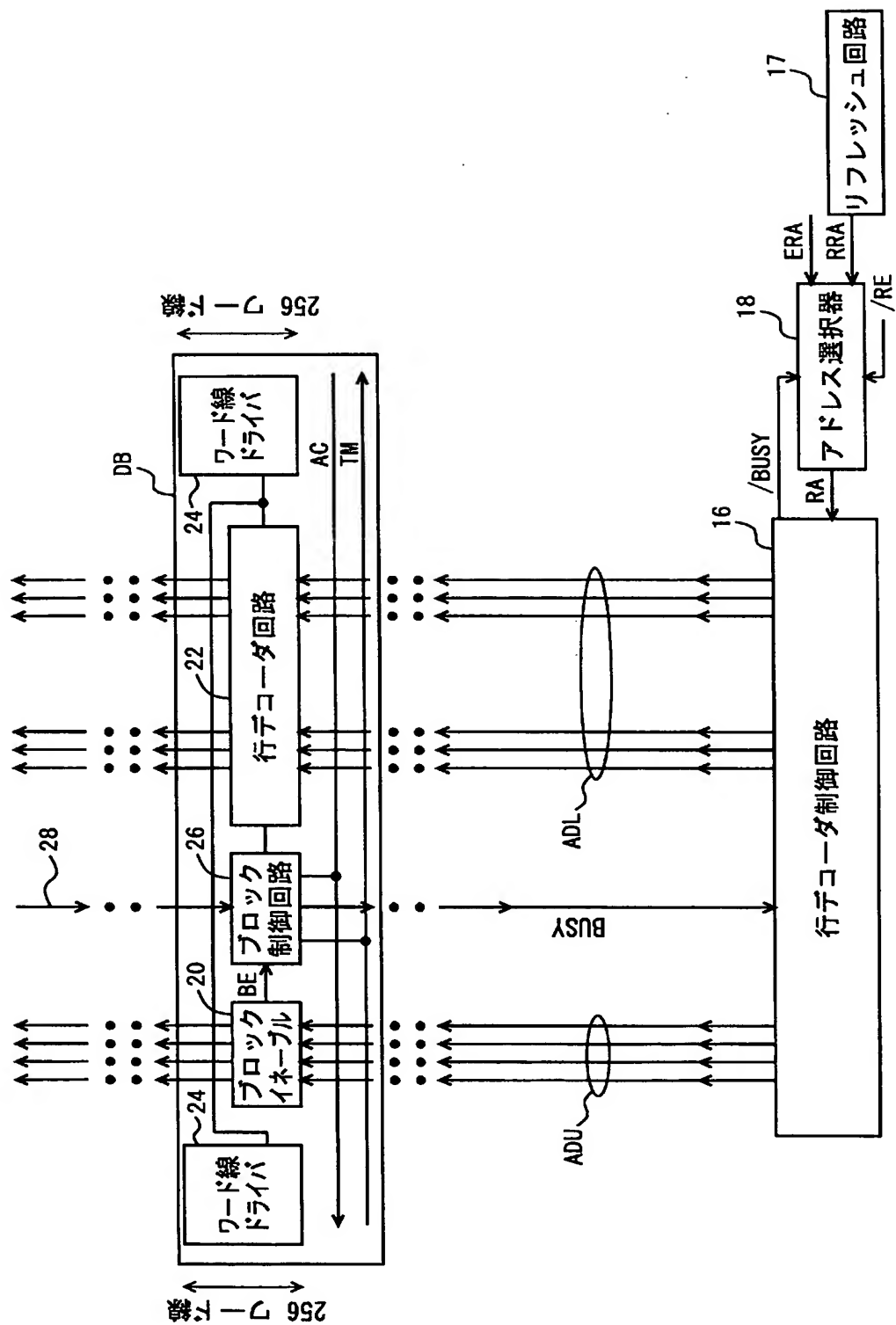
前記選択停止ステップは、前記選択されたブロックにおいて前記アクセス又は前記リフレッシュが行われている間、前記アクセスアドレス及び前記リフレッシュアドレスの選択を停止することを特徴とする半導体記憶装置のリフレッシュ方法。

- [8] 請求項7に記載の半導体記憶装置のリフレッシュ方法であって、  
前記ワード線選択ステップは前記リフレッシュアドレスに応答して前記ブロックごとに全てのワード線を連続的に選択することを特徴とする半導体記憶装置のリフレッシュ方法。
- [9] 請求項7又は請求項8に記載の半導体記憶装置のリフレッシュであって、  
前記選択停止ステップは、前記アクセス又は前記リフレッシュが要求されたときビジー信号を活性化し、前記選択されたブロックにおいて前記アクセス又は前記リフレッシュが終了したとき前記ビジー信号を不活性化するビジー信号発生ステップを含み、  
前記アドレス選択ステップは、  
前記アクセスが要求されたとき前記アクセスアドレスを入力するステップと、  
前記リフレッシュが要求されたとき前記リフレッシュアドレスを入力するステップと、  
前記ビジー信号が不活性化されたとき前記入力されたアドレスを取り込んでラッチするステップとを含むことを特徴とする半導体記憶装置のリフレッシュ方法。
- [10] 請求項9に記載の半導体記憶装置のリフレッシュ方法であって、  
前記半導体記憶装置はさらに、前記複数のブロックに共通に設けられたビジー信号線を備え、  
前記ビジー信号発生ステップは、  
前記アクセス又は前記リフレッシュが要求されたとき前記ビジー信号線を充電するステップと、  
前記選択されたブロックにおいて前記アクセス又は前記リフレッシュが終了したとき前記ビジー信号線を充電するステップとを含むことを特徴とする半導体記憶装置のリフレッシュ方法。

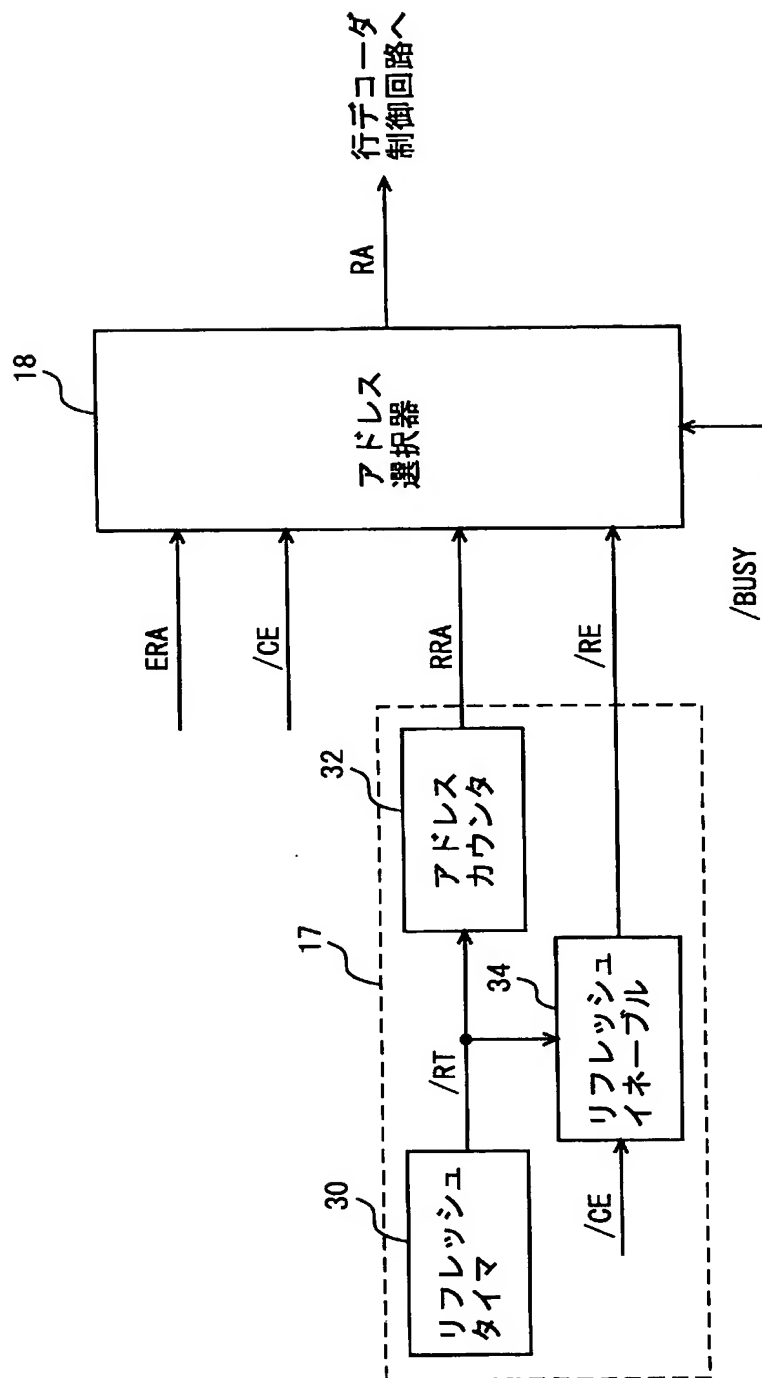
[図1]



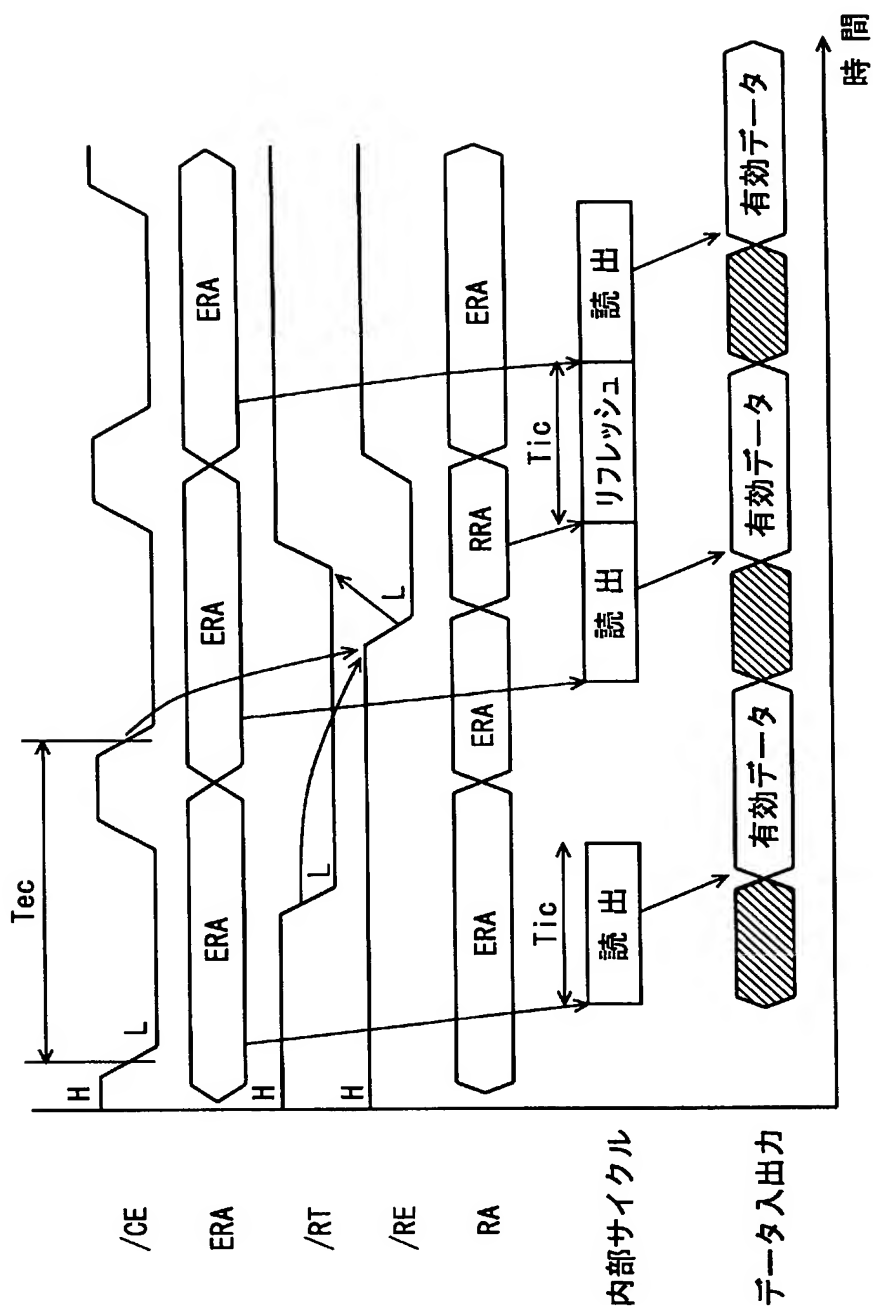
[図2]



[図3]

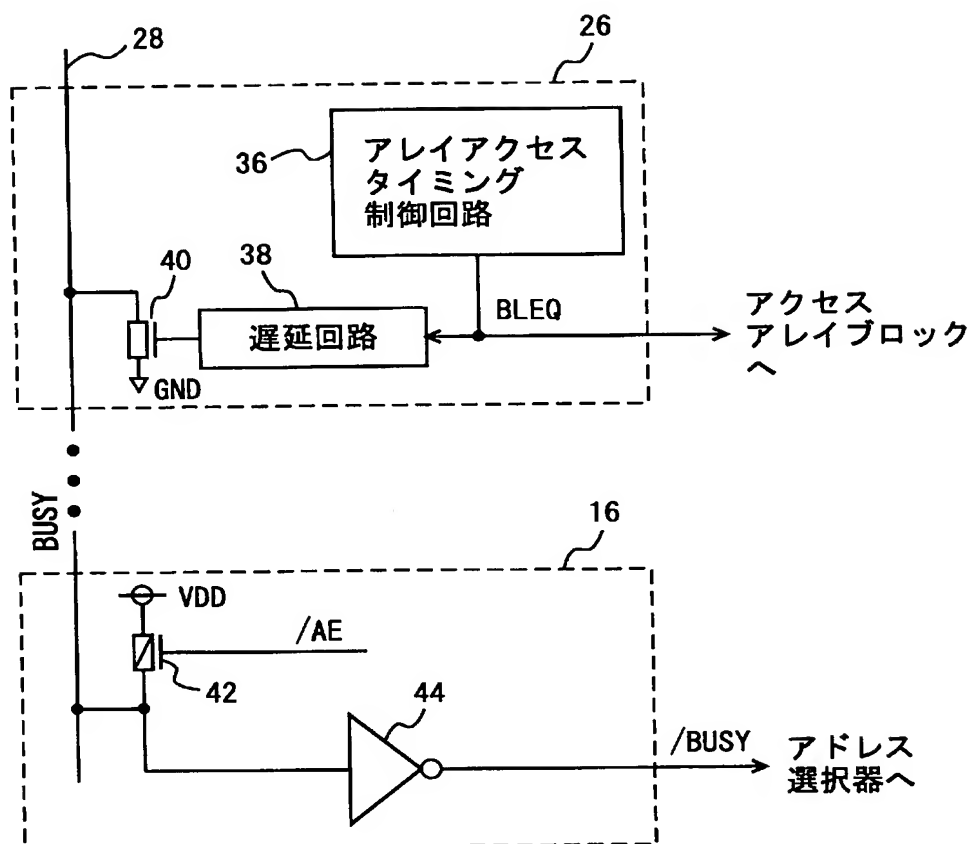


[図4]

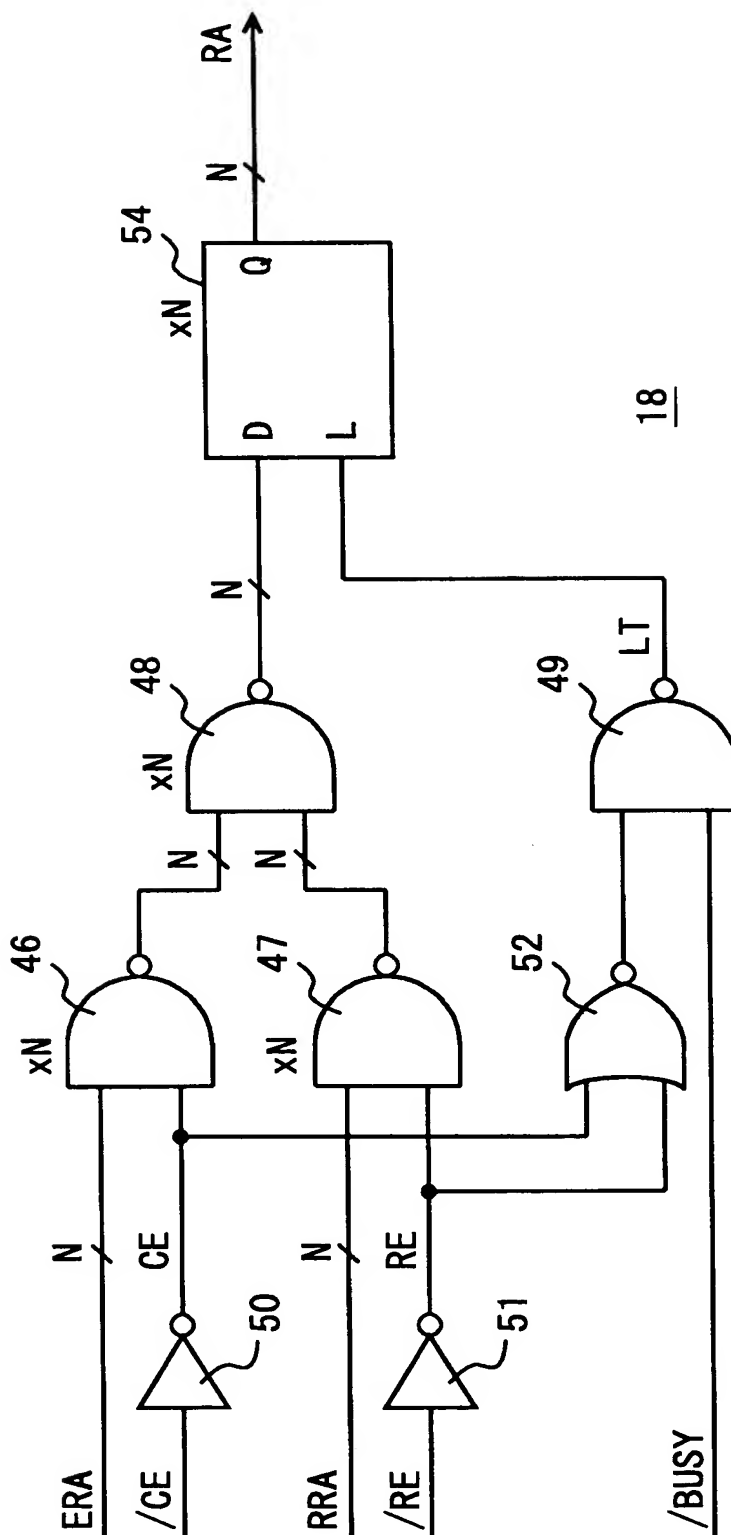




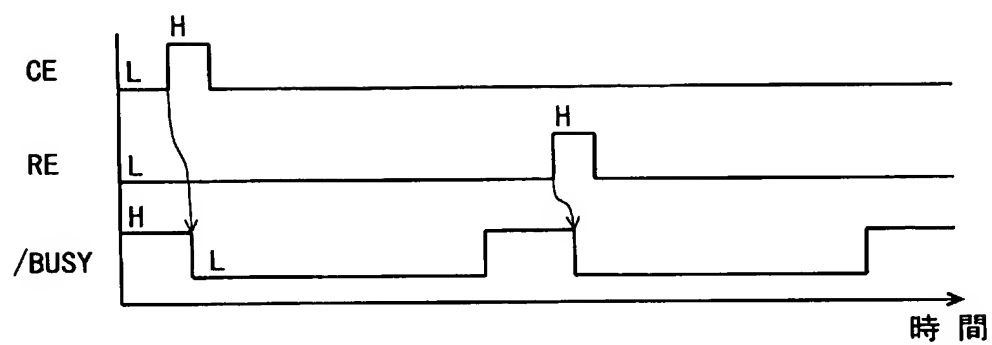
[図5]



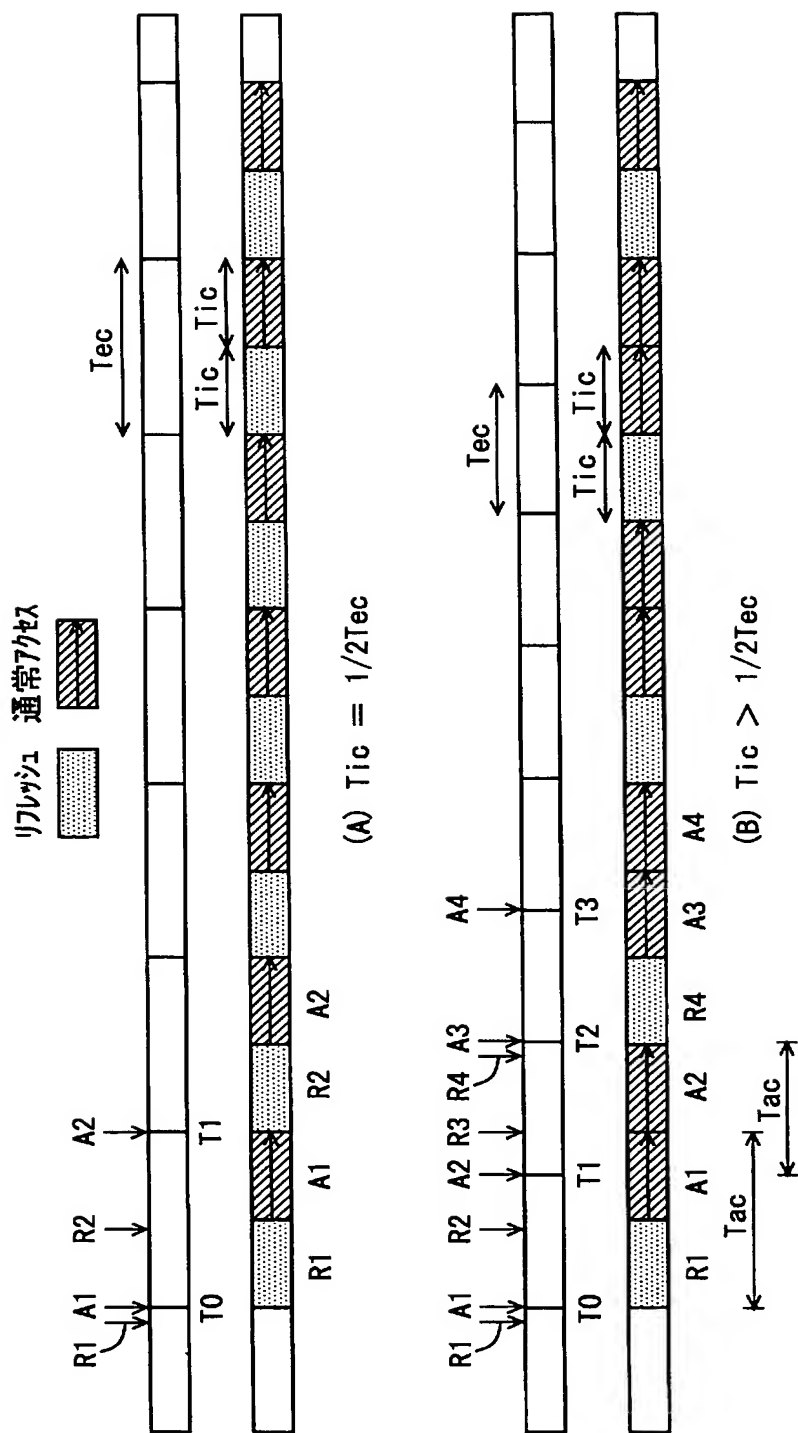
[図6]



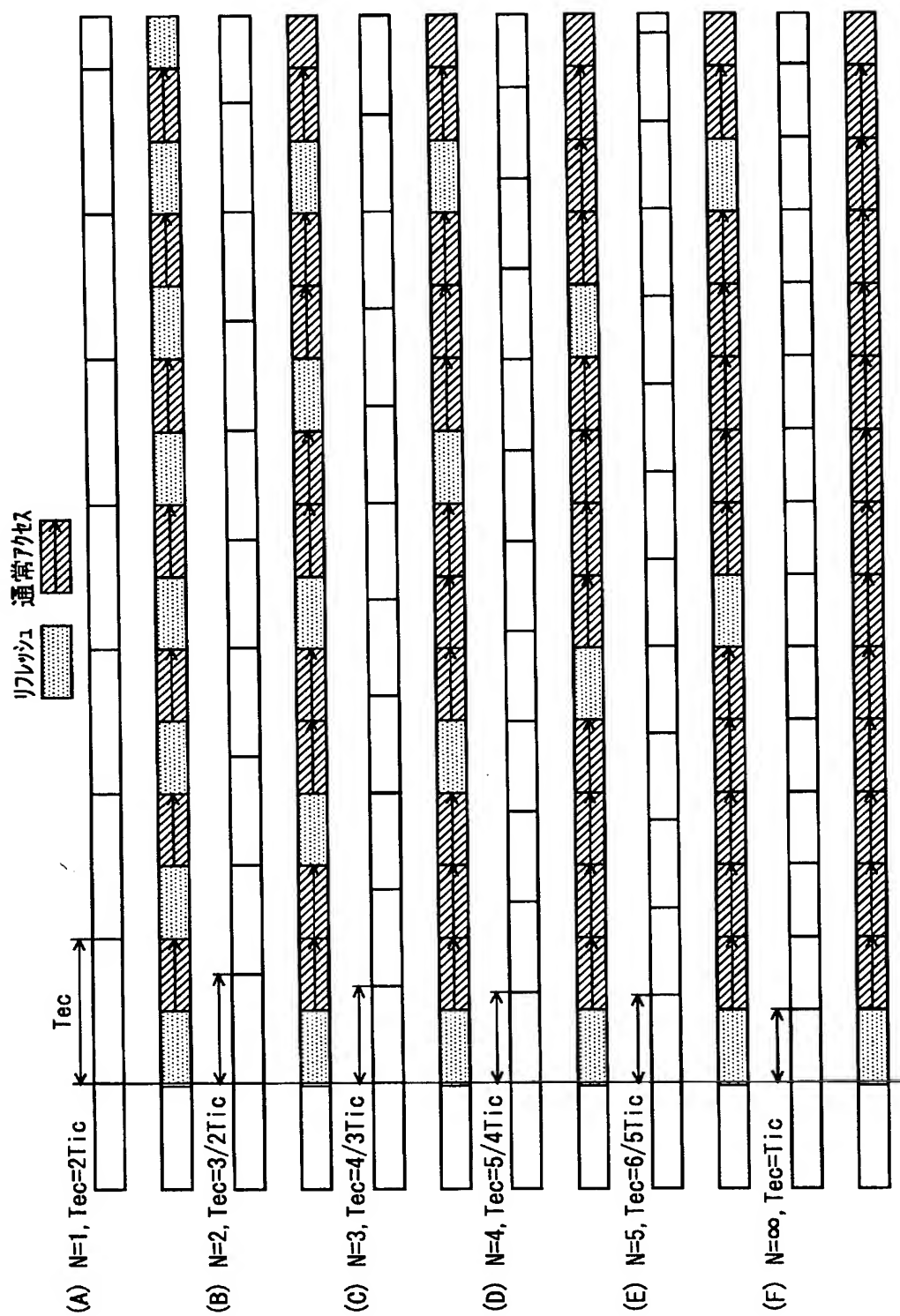
[図7]



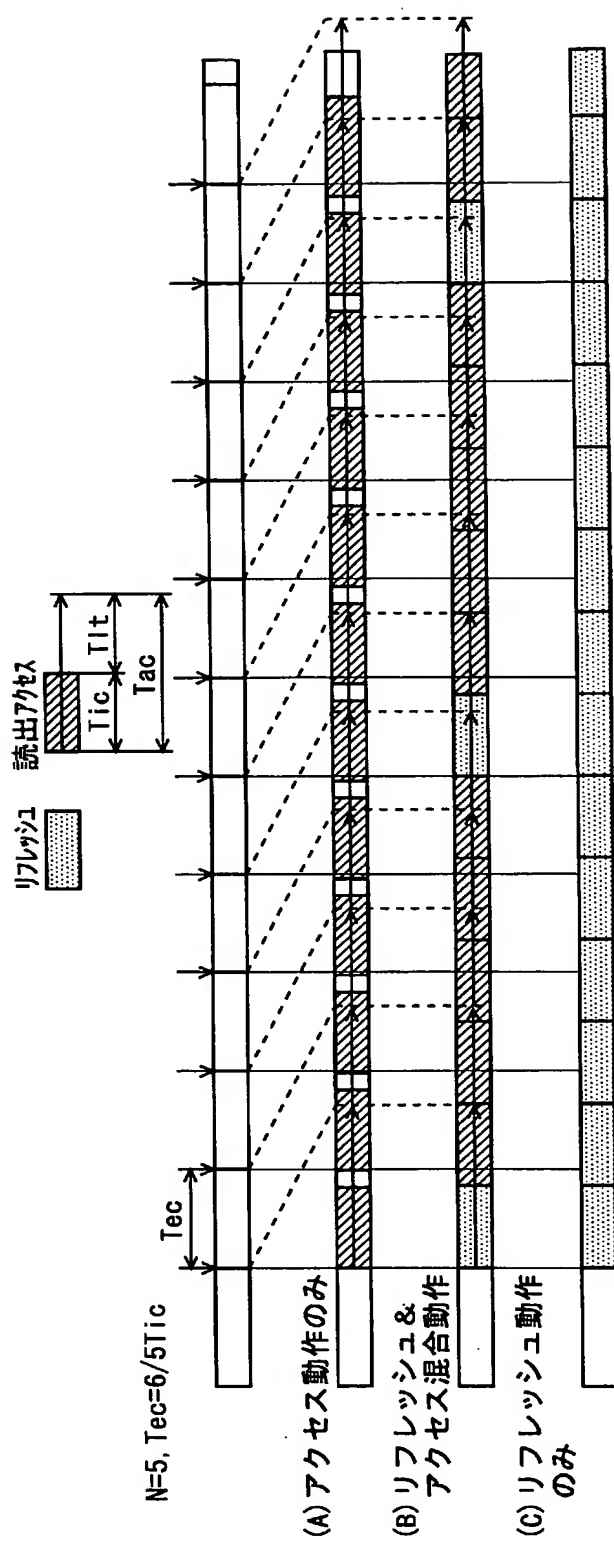
[図8]



[図9]



[図10]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/015589

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G11C11/406

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G11C11/406

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-150769 A (Seiko Epson Corp.), 24 May, 2002 (24.05.02), Par. Nos. [0072] to [0077]; Figs. 5, 9 & US 2002/0057607 A1	1-4, 6-9
Y	JP 2003-51186 A (Fuji Electric Co., Ltd.), 21 February, 2003 (21.02.03), Par. Nos. [0018] to [0020]; Figs. 1, 14 & US 2003/0026161 A & EP 1288961 A2 & KR 2003/012812 A	1-4, 6-9
Y	JP 9-167488 A (Mitsubishi Electric Corp.), 24 June, 1997 (24.06.97), Par. No. [0232]; Figs. 41 & US 5798976 A & KR 97051187 A	2-4, 7-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier application or patent but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
02 February, 2005 (02.02.05)

Date of mailing of the international search report  
15 February, 2005 (15.02.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/015589

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	JP 2004-5780 A (Fujitsu Ltd.), 08 January, 2004 (08.01.04), Full text; all drawings & US 2003/0198098 A1 & EP 1355318 A2 & KR 2003/082353 A	1, 6
A	JP 2001-357670 A (Mitsubishi Electric Corp.), 26 December, 2001 (26.12.01), Full text; all drawings & US 2003/0159318 A1	1-10
A	JP 2003-123470 A (Mitsubishi Electric Corp.), 25 April, 2003 (25.04.03), Full text; all drawings & US 2003/0067825 A1	1-10
A	JP 2003-196975 A (NEC Electronics Corp.), 11 July, 2003 (11.07.03), Full text; all drawings & WO 2003/056563 A1	1-10
A	JP 2001-243765 A (Fujitsu Ltd.), 07 September, 2001 (07.09.01), Full text; all drawings & US 2001/0017811 A1 & KR 2001/085622 A	1-10
A	JP 2001-93277 A (Fujitsu Ltd.), 06 April, 2001 (06.04.01), Full text; all drawings & US 6324113 B1 & KR 2001/029758 A	1-10
A	JP 2003-297081 A (Mitsubishi Electric Corp.), 17 October, 2003 (17.10.03), Full text; all drawings & US 2003/0185078 A1 & KR 2003/078617 A	3, 8



A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int.Cl <sup>7</sup> G11C11/406		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int.Cl <sup>7</sup> G11C11/406		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2004年 日本国登録実用新案公報 1994-2004年 日本国実用新案登録公報 1996-2004年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-150769 A(セイコーエプソン株式会社)2002.05.24, 段落【0072】-【0077】,第5図,第9図 & US 2002/0057607 A1	1-4, 6-9
Y	JP 2003-51186 A(富士通株式会社)2003.02.21, 段落【0018】-【0020】,第1図,第14図 & US 2003/0026161 A1 & EP 1288961 A2 & KR 2003/012812 A	1-4, 6-9
Y	JP 9-167488 A(三菱電機株式会社)1997.06.24,段落【0232】, 第41図 & US 5798976 A & KR 97051187 A	2-4, 7-9
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	02.02.2005	国際調査報告の発送日
		15.2.2005
国際調査機関の名称及びあて先	特許庁審査官 (権限のある職員)	5 N 8840
日本国特許庁 (ISA/J.P.)	堀田和義	
郵便番号100-8915	電話番号 03-3581-1101	内線 6840
東京都千代田区霞が関三丁目4番3号		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, X	JP 2004-5780 A(富士通株式会社)2004. 01. 08, 全文、全図 & US 2003/0198098 A1 & EP 1355318 A2 & KR 2003/082353 A	1, 6
A	JP 2001-357670 A(三菱電機株式会社)2001. 12. 26, 全文, 全図 & US 2003/0159318 A1	1-10
A	JP 2003-123470 A(三菱電機株式会社)2003. 04. 25, 全文, 全図 & US 2003/0067825 A1	1-10
A	JP 2003-196975 A(N E Cエレクトロニクス株式会社) 2003. 07. 11, 全文, 全図 & WO 2003/056563 A1	1-10
A	JP 2001-243765 A(富士通株式会社)2001. 09. 07, 全文、全図 & US 2001/0017811 A1 & KR 2001/085622 A	1-10
A	JP 2001-93277 A(富士通株式会社)2001. 04. 06, 全文、全図 & US 6324113 B1 & KR 2001/029758 A	1-10
A	JP 2003-297081 A(三菱電機株式会社)2003. 10. 17, 全文, 全図 & US 2003/0185078 A1 & KR 2003/078617 A	3, 8